

(DS)

Document 5

MULTILAYER INTERCONNECTION STRUCTURE IN THROUGH HOLE

Publication number: JP63157439

Publication date: 1988-06-30

Inventor: HASEGAWA HITOSHI

Applicant: FUJITSU LTD

Classification:

- International: H01L23/52; H01L21/3205; H01L23/52; H01L21/02;
(IPC1-7): H01L21/88

- European:

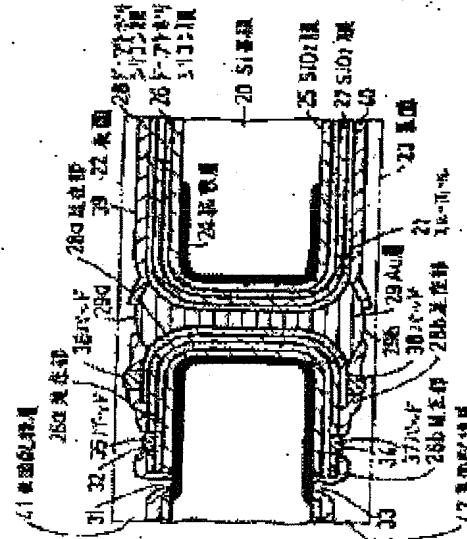
Application number: JP19860304454 19861220

Priority number(s): JP19860304454 19861220

Report a data error here

Abstract of JP63157439

PURPOSE: To reduce the number of necessary through holes, eliminate the limitation of a through hole diameter, and manufacture excellently a multilayer interconnection structure, by applying a multilayer structure to the wiring of through holes. **CONSTITUTION:** Wiring in the through hole 21 of a P-Si substrate 20 is formed as a multilayer structure wherein the respective wiring layers 24, 26 and 20 are stacked via the respective insulative layers 24, 2b and 28. On extending parts 26a, 26b, 28a and 28b to a rear surface 23, connection parts 35-38 to other wirings are formed so as to reach the surface 22 of the multilayer interconnections 24, 26 and 28. The wiring of through hole 21 is formed as a multilayer structure, and the number of necessary through holes 21 is reduced. Thereby the limitation of the diameter of through hole 21 is eliminated, and the multilayer interconnection structure is excellently manufactured.



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-157439

⑬ Int.Cl.⁴

H 01 L 21/88

識別記号

厅内整理番号

⑭ 公開 昭和63年(1988)6月30日

J-6708-5F

審査請求 未請求 発明の数 1 (全 5 頁)

⑮ 発明の名称 スルーホール内の多層配線構造

⑯ 特願 昭61-304454

⑯ 出願 昭61(1986)12月20日

⑰ 発明者 長谷川 齊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 井橋 貞一

明細書

1. 発明の名称

スルーホール内の多層配線構造

2. 特許請求範囲

基板(20)のスルーホール(21)内の配線を複数の配線層(24, 26, 28)の夫々が絶縁層(25, 27)を介して積層された多層構造とし、且つ上記各配線層の上記基板の裏面(22)及び裏面(23)上への延在部(26a, 26b, 28a, 28b)に、他の部材との接続部(35~38)を設けてなるスルーホール内の多層配線構造。

3. 発明の詳細な説明

(要旨)

本発明はスルーホール内の多層配線構造において、スルーホール内の屢々を多層構造として、スルーホールの数を少なくすること及び基板裏面の接続配線を可能としたものである。

(背景上の利用分野)

本発明はスルーホール内の多層配線構造に関する。

(発明の技術)

本発明者は先に、第4図に示すように、半導体マザーチップ1上に複数の半導体ディバイスチップ2, 3, 4を積層してなる構造の半導体装置を提案した。この半導体ディバイスチップ2(3, 4)は、この上側に積層された半導体ディバイスチップとこの下側の半導体ディバイスチップとの間の電気的接続をとるため及び半導体ディバイスチップ自身内の半導体ディバイス部との電気的接続をとるため、内部配線を行している。内部配線は基板のスルーホール一箇所につき一配線である。第1図中、6, 7, 8はスルーホール、9, 10, 11は夫タスルーホール6, 7, 8内の一層構造の内加配線である。

〔発明が解決しようとする問題〕

このため、半導体ディバイスチップ2(3,4)には、上記の電気的遮蔽に必要とされる壁と向かいのスルーホールを形成することになる。このスルーホールは例えばエッティングにより形成される。ここで特に半導体ディバイスチップの基板が400～500μmと厚い場合には、スルーホールの径を小とし、開き合うスルーホールの間の間隔を狭くすることが特に困難となる。

このように、スルーホールの壁が多いこと、及びスルーホールの開口が広いことにより、半導体ディバイスチップ2(3,4)の表面の配線を遮蔽とすることが出来ないという問題点があった。

〔問題点を解決するための手段〕

本発明のスルーホール内の多層配線構造は、基板のスルーホール内の配線を複数の配線層の夫々が絶縁層を介して積層された多層構造とし、且つ上記各配線層の上記基板の表面及び裏面への既在部に、他の配線との接続部を設けてなる。

を例えればエッティングにより形成する。配線を多層構造とする図様で、スルーホール21の数は少なくてよく、例えは一つでもよく、またスルーホール21の径口は大きくててもよく、スルーホール21は容易に形成される。なお、基板20には半導体ディバイス部(図示せず)が形成されている。

次、第2図(8)に示すように、スルーホール21の内表面及び基板20の表面22及び裏面23のうちスルーホール21の前口直傍部にドープ層24を形成する。これが第1配線層を構成する。

次いで、熱処理を行って、第2図(C)に示すように、第1配線層としてのS1O_x膜25を、スルーホール21の内表面及び基板20の表面をカバーするように形成する。

次いで、CVDを行なって、第2図(D)に示すように、S1O_x膜25上にドープトボリシリコンを被覆させ、第2配線層としてのドープトボリシリコン膜26を、スルーホール21の内表面及び基板20の表面に形成する。

特開昭63-157439(2)

〔作用〕

スルーホール内の配線を多層構造としたことにより、スルーホールについては必要とされる数が減り、径に応じての制約も緩和され、スルーホールが形成し易くなる。

各配線層の基板の表面面上への既在部に他の配線との接続部を設けたことにより、接続部を遮蔽して配することが可能となり、表面面の配線層の遮蔽化が可能となる。

〔実施例〕

第1図は本発明のスルーホール内の多層配線構造の一実施例を示し、第2図(A)乃至(D)は多層配線構造の製造工程を示し、第3図は第1図のスルーホール内の多層配線構造を適用した半導体ディバイスチップ(半導体装置)を示す。

第1図の多層配線構造を、その製造工程に沿って説明する。

まず、第2図(A)に示すように厚さが300～500μmのP-Si基板20にスルーホール21

次いで、熱処理を行なって、上記既2回の表面全体に、即ちスルーホール内表面及び基板の上下面に、第2図(E)に示すように、第2配線層としてのS1O_x膜27を形成する。これにより、ドープトボリシリコン膜26が上下よりS1O_x膜25、27により被覆された状態となる。

次いで、再びCVDを行なって、第2図(F)に示すように、S1O_x膜27上にドープトボリシリコンを被覆させ、第3配線層としてのドープトボリシリコン膜28を、スルーホール21の内表面及び基板の表面面に形成する。

ここで、膜形成方法として、露漬、熱処理及びCVDを用いているため、第2図(H)に示すようにスルーホール21の奥さと(基板20の厚さと等しい)が長くとも、前記の遮蔽層24及び膜25～28は共にスルーホール21の内表面にも確実に形成される。

次いで第2図(G)に示すように、スルーホールの部分をAu(又はPb/Sn)によりメッキし、最終配線層としてのAu層29を形成する。

(3)

特開昭63-157439

次に、第1図に示すように、基板の表面22及び裏面23のうちスルーホール21の面の近傍の所定の箇所を選択的にエッチングしてコンタクトホール31～34を形成し、接続部としてのパッド35～38を形成し、パッド35～38及びA凹部29の上下端部29a、29bを除いて、PSG型の絶縁層39、40を形成する。

パッド35、36はチップドートボリシリコン膜26、28の基板表面22側への底面26a、28aに設けてある。別のパッド37、38はチップドートボリシリコン膜26、28の基板裏面23側への底面26b、28bに設けてある。

基板20の表面のパッド35と裏面のパッド37などがドートボリシリコン膜26により絶縁されている。パッド36とパッド38とは、別のドートボリシリコン膜28により絶縁されている。上端部29aと下端部29bとは、スルーホール21内のA凹部29自体により電気的に接続されている。

更には、第1図中、二点綴録で示すように、基

。

この半導体ディバイスチップ50は、第3図に示すように半導体マザーチップ51上にバンプ52、53を利用して実装される。更にチップ50と同面じ側面の半導体ディバイスチップ54、55がチップ50上に接觸して実装され、三層構造の半導体装置56が得られる。

なお、第2図(C)、(E)に示す熱酸化によるSiO₂、第27の代わりに、CVDによるSi₃N₄としてよい。また、第2図(D)、(F)に示すドートボリシリコン膜26、28の代わりに、CVDによるタンクステンシリサイドなどのシリサイド膜としてもよい。またA凹部29の代わりにPb/Sn四としてもよく、この場合にはリフローにより平坦化を行なってよい。

(発明の効果)

本発明によれば、スルーホール内の配線が多層構造であるため、從来の様に單層構造である場合

特開昭63-157439(3)

板20の表面22側に表面配線41をその一端がパッド35、36及び端部29a等と接続され、他端が基板20上の半導体ディバイス部(図示せず)と接続されるようにして形成する。表面配線41の一端の他端にチップ接続用のバンプ(図示せず)が形成される。同じく、基板20の裏面23側にも、裏面配線42をその一端がパッド37、38及び端部29b等と接続されるようにして形成する。他端にはチップ接続用のバンプ(図示せず)が形成される。

ここで、パッド35～38、上下端部29a、29bは比較的の自由度をもって近接して配されており、裏面配線41及び裏面配線42は共に接続に形成される。

特にパッド35～38についてみると、これが接続される相手との間隔で接続がし易い位置に成ることが出来、表面配線41及び裏面配線42をバターニングがし易い構造とし得る。

以上により、内部配線を多層構造としてなる第3図中一の半導体ディバイスチップ50が得られ

に比べて、スルーホールの数を少なくすることが出来、スルーホールの数の制限が緩和され、スルーホールを容易に形成することが出来、しかも複数の接続部が近接して配されるため、裏面に複数の配線を形成することが出来、例えば多層に積重して実装される半導体ディバイスチップに適用して有効である。

4. 図面の説明

第1図は本発明のスルーホール内の多層配線構造の一実施形態を示す図。

第2図(A)乃至(G)はスルーホール内の多層配線構造の製造工程を示す図。

第3図は第1図のスルーホール内の多層配線構造を内部配線として適用してなる半導体装置を示す図。

第4図は内部配線が單層構造である半導体装置を示す図である。

図において、

20はロードスルーベース板、

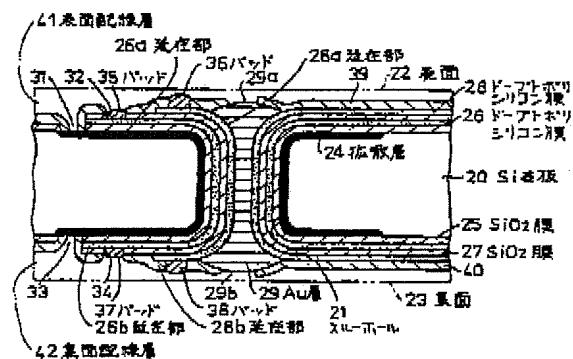
21はスルーホール、

(4)

特開昭63-157439

特開昭63-157439(4)

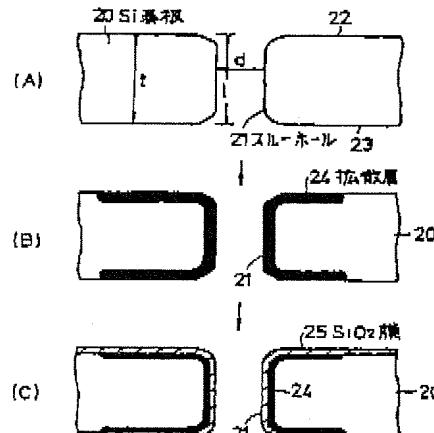
22は表面、
 23は裏面、
 24は α 基板層、
 25、27はSiO₂層、
 26、28はドアートボリシリコン層、
 26a、26b、28a、28bは遮光部、
 29はAu層、
 31～34はコンタクトホール、
 35～38はバッド、
 39、40は絶縁層、
 41は表面遮光層、
 42は裏面遮光層、
 50、54、55は半導体ディバイスチップ、
 56は半導体装置である。



本発明のスルーホール内の多層配線構造の一実施例を示す図

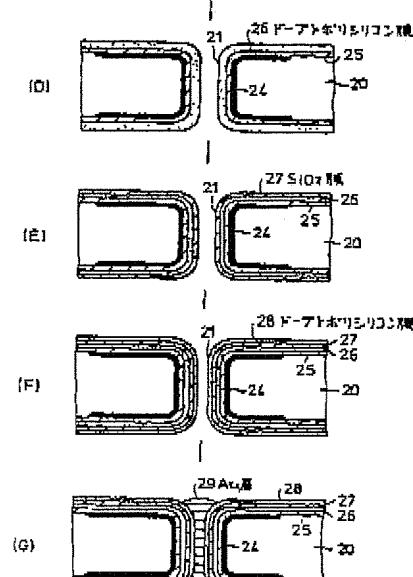
図 1 図

代理人 井原士 井 勝



スルーホール内に多層配線を形成する工程を説明する図

図 2 図(1)



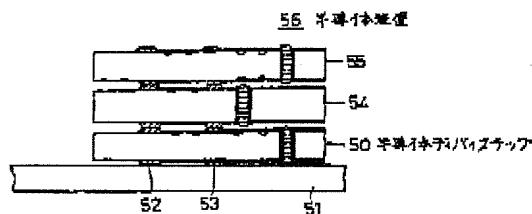
スルーホール内に多層配線を形成する工程を説明する図

図 2 図(2)

(5)

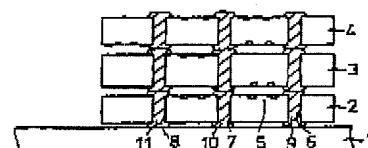
特開昭 63-157439

特開昭 63-157439(5)



本発明の多層配線構造を適用して行う
半導体装置を示す図

第 3 図



内部配線が重層構造である
半導体装置を示す図

第 4 図